

Atty. Docket No. 678-772 (P10011)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jae-Yoel KIM et al.

Serial No.: 09/990,557

Group: Art Unit 2661

Filed: November 21, 2001

Dated: December 18, 2001

For: APPARATUS AND METHOD FOR
GENERATING A PREAMBLE SEQUENCE
IN A WIRELESS COMMUNICATION SYSTEM

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Attached is a certified copy of Korean Appln. No. 71092/2000 filed on
November 21, 2000 from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,



Paul J. Farrell

Reg. No. 33,494

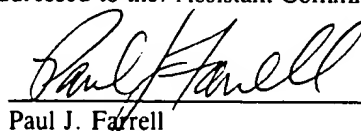
Attorney for Applicant(s)

DILWORTH & BARRESE, LLP
333 Earle Ovington Blvd.
Uniondale, NY 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope addressed to the: Assistant Commissioner for Patents, Washington, D.C. 20231 on December 18, 2001.

Dated: December 18, 2001


Paul J. Farrell



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

CERTIFIED COPY OF
PRIORITY DOCUMENT

출원 번호 : 특허출원 2000년 제 71092 호
Application Number PATENT-2000-0071092

출원 년 월 일 : 2000년 11월 21일
Date of Application NOV 21, 2000

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 11 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.11.21
【발명의 명칭】	무선통신시스템에서의 프리앰블 시퀀스 생성장치 및 방법
【발명의 영문명칭】	A preamble sequence for using synchronization of wireless communication system
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	1999-006038-0
【발명자】	
【성명의 국문표기】	김재열
【성명의 영문표기】	KIM, Jae Yoel
【주민등록번호】	700219-1047637
【우편번호】	435-042
【주소】	경기도 군포시 산본2동 백두아파트 960동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이현우
【성명의 영문표기】	LEE, Hyun Woo
【주민등록번호】	630220-1709811
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 벽산 아파트 806동 901호
【국적】	KR

【발명자】**【성명의 국문표기】**

손중제

【성명의 영문표기】

SON, Jung Je

【주민등록번호】

711226-1167419

【우편번호】

138-041

【주소】

서울특별시 송파구 풍납1동 86-16

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이건주 (인)

【수수료】**【기본출원료】**

20 면 39,000 원

【가산출원료】

14 면 47,600 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

86,600 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 광대역 무선 접속 통신(Broadband Wireless Access) 시스템에서 프레임 동기 또는 Burst Data Transmission 시 송신된 데이터의 동기를 검출하는데 사용되는 Preamble 에 관한 것이다. 특히, 본 발명은 상기 Preamble Sequence[의 생성에 대한 것] 중 Aperiodic 특성이 좋으면서 Hardware 구현이 용이한 Preamble Sequence의 2의 멍승의 길이에 대해서 순환적으로 생성할 수 있는 방법에 관한 것이다. 본 발명은 Hardware 구현이 용이하면서 Aperiodic 특성도 좋은 가변 길이의 Preamble Sequence를 생성하는 방법을 제공함으로써 여러 채널 환경에 대해서 필요하게되는 Preamble Sequence의 여러 길이에 대해서 구할 수 있는 방법을 제공함으로써 채널 환경의 변화 시에도 수신 데이터의 수신률을 높일 수 있는 방법을 제공한다.

【대표도】

도 4

【색인어】

HIPERACCESS, Preamble, Synchronization, Burst Transmission

【명세서】

【발명의 명칭】

무선통신시스템에서의 프리앰블 시퀀스 생성장치 및 방법(A preamble sequence for using synchronization of wireless communication system}

【도면의 간단한 설명】

도 1은 BRAN 시스템에서 사용하고 있는 통상적인 프레임 구조를 도시한 도면이다.

도 2는 기지국에서 프리앰블을 전송하는 통상적인 프리앰블 송신기 구조를 나타낸 도면.

도 3은 단말기에서 송신기에서 전송한 프리앰블을 검출하는 프리앰블 수신기의 구조를 나타낸 도면.

도 4는 본 발명의 일 실시 예에 따른 길이 16인 복소 비주기적 시퀀스를 구하기 위한 생성기의 구조를 보여주고 있는 도면.

도 5는 버스트 하계 프리앰블을 전송하는 송신기의 신호에 의해 상관도를 측정하는 일 예를 보여주고 있는 도면.

도 6은 본 발명의 실시 예에 따른 프리앰블 생성장치의 기본 구성의 일 예를 도시하고 있는 도면.

도 7은 본 발명의 실시 예에 따른 프리앰블 생성장치의 기본 구성의 efms 예를 도시하고 있는 도면.

도 8은 본 발명의 일 실시 예에 따른 길이 32인 복소 비주기적 시퀀스를 구하기 위한 생성기의 구조를 보여주고 있는 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 무선통신 시스템에 사용되는 프리앰블 시퀀스 생성장치 및 방법에 관한 것으로, 특히 프레임 동기나 데이터의 유무를 나타내는 프리앰블 시퀀스의 생성장치 및 방법에 관한 것이다.
- <10> 일반적으로 무선 통신 시스템은 무선 통신 서비스를 지원하는 시스템을 통칭하며, 기지국과 단말로 구성된다. 한편, 상기 기지국과 상기 단말은 전송 프레임임을 사용하여 무선 통신 서비스를 지원한다. 따라서, 상기 기지국과 상기 단말은 전송 프레임의 송신 및 수신을 위해 상호 동기를 이루어야 하며, 이를 위해 상기 기지국은 상기 단말이 프레임의 시작을 알 수 있도록 동기신호를 전송한다. 한편, 상기 단말은 상기 기지국이 전송하는 동기신호를 수신하여 상기 기지국의 프레임 타이밍을 확인하는 동작을 수행하게 된다.
- <11> 상기 동기신호는 상기 기지국과 상기 단말이 미리 약속하고 있는 특정 프리앰블 시퀀스를 사용하는 것이 일반적이다. 프레임 타이밍을 알 수 있는 상기 프리앰블 시퀀스가 연속적으로 계속 전송되지 않고 버스트한 형태로(간헐적으로) 전송되는 경우에 상기 프리앰블 시퀀스의 수신 성능은 비주기적 자기 상관(A periodic autocorrelation) 특성이 얼마나 좋은가에 의해서 결정된다.

<12> 전술한 바와 비슷한 용도로 사용되는 경우로서는 슬롯의 동기를 알 수 있는 시퀀스가 있다. 광대역 부호분할 다중접속 방식을 사용하는 UMTS(Universal Mobile Telecommunication System), 주파수분할다중화(Frequency Division Duplexing;FDD)방식을 사용하는 UMTS 및 시간분할다중화(Time Division Duplexing;TDD) 방식을 사용하는 UMTS 등은 프레임내에 다수의 슬롯을 가지고 있다. 따라서 상기 UMTS FDD시스템은 슬롯의 시작시간(동기)을 알 수 있는 슬롯 동기신호가 있으며, 상기 UMTS TDD시스템은 슬롯의 동기를 맞출 수 있도록 매 슬롯마다 미드앰블 신호가 있다. 상기 슬롯 동기신호 혹은 미드앰블 신호도 전술한 프레임 동기신호와 같이 기지국과 단말이 미리 약정하고 있는 시퀀스를 간헐적으로 전송한다.

<13> 또한 광대역 부호 분할 다중접속(CDMA: Code Division Multiple Access) 방식을 사용하는 상기 BRAN 시스템(또는 'BRAN Hiper Access'라 칭한다)에서는 하나의 프레임을 시간적으로 나누어 여러 사용자들에 대한 데이터들을 전송한다. 이러한 BRAN 시스템에서도 프레임의 시작을 알려주는 프레임 프리앰블이 프레임의 시작점에서부터 일부 구간에 존재한다. 또한, 하나의 프레임 내에 상기 각 사용자들에게 전송하는 데이터가 불규칙적으로 전송될 수 있으므로 데이터의 시작을 알리는 버스트 프리앰블이 각 데이터의 앞부분에 존재한다. 따라서 단말은 상기 데이터의 전송 시작점을 알기 위하여는 데이터 프리앰블을 수신하여야만 한다. 즉, 상기 단말은 데이터의 수신을 위해 데이터의 시작점에 대한 동기를 맞추어야 하는데, 이를 위해서는 수신신호를 받기 전에 모든 시스템에서 공통으로

사용하는 프리앰블신호를 포착하여 동기를 맞추게 된다. 상기 프리앰블신호의 사용 예는 도 1과 같다.

<14> 도 1은 BRAN 시스템에서 사용하고 있는 통상적인 프레임 구조를 도시한 도면이다. 상기 도 1에서 101은 한 프레임의 시작을 나타내며, 기지국 신호의 동기를 알 수 있도록 하는 프레임 프리앰블(Frame Preamble)이다. 상기 프레임 프리앰블(Frame Preamble) 101은 QPSK로 전송되어진다. 또한, 상기 도 1에서 102는 광대역 무선 접속 시스템의 통신에 필요한 시스템 정보를 그 기지국 영역 내에 있는 단말들에게 공통으로 알려주기 위해서 사용되는 방송채널(Broadcasting Channel)의 위치를 나타내는 것이다. 상기 도 1에서 103은 간헐적으로 전송되는 제1데이터의 전송의 시작을 나타내는 제1버스트 프리앰블(Burst Preamble) 부분이다. 상기 제1버스트 프리앰블 103에 연이어서 104로 표기된 부분이 제1데이터를 전송하는 제1데이터 채널(Data Channel 1)을 나타낸다. 이때, 상기 104로 보내지는 제1데이터는 QPSK, 16QAM, 64QAM 등의 3가지 변조(Modulation) 방식 중에서 어느 한 가지의 변조 방식에 의해 전송 된다. 한편, 상기 도 1에서 보여지고 있는 프레임 내에는 전송한 바와 같이 버스트 프리앰블과 상기 버스트 프리앰블에 연속하여 데이터 채널이 존재하는 구조 N개가 구비된다.

<15> 상기에서는 시스템들에서 기지국(송신기)과 단말(수신기)이 통신 표준 등에서 미리 약정된 시퀀스를 사용하여 프레임 동기, 슬롯동기 또는 데이터의 존재 여부를 나타내도록 하는 시퀀스(프리앰블)를 사용하고 있음을 언급하였다. 또한 상기 시퀀스들은 불연속적으로 버스트하게 전송되므로 시퀀스의 성질이 비주기적 자기 상관(A periodic Autocorrelation) 특성이 우수하여야 한다.

<16> 이하 일반적인 프리앰블 신호의 송신 및 수신을 위한 예를 설명하고자 한다

<17> 도 2는 기지국에서 프리앰블(Preamble)을 전송하는 프리앰블 송신기 구조를 나타낸다. 먼저, 상기 도 2를 참조하여 프리앰블 송신기의 구조를 살펴보면, 프리앰블 발생기 200은 복소값을 가지는 프리앰블 신호를 발생한다. 상기 프리앰블 발생기 200으로부터의 상기 프리앰블 신호의 실수부인 시퀀스 값 I신호는 제1기저대역 필터 210으로 입력되며, 상기 프리앰블 신호의 허수부인 시퀀스 값 Q신호는 제2기저대역 필터 215로 입력된다. 상기 제1기저대역 필터 210과 상기 제2기저대역 필터 215는 상기 프리앰블 발생기 200으로부터의 I신호 또는 Q신호를 기저대역으로 필터링하여 기저대역 신호를 출력한다. 상기 제1기저대역 필터 210으로부터 출력되어지는 기저대역 신호는 승산기 220에 입력되고, 상기 제2기저대역 필터 215로부터 출력되어지는 기저대역 신호는 승산기 225에 입력된다. 상기 승산기 220으로 입력되어진 기저대역 신호는 캐리어 신호 \cos 성분($\cos(2\pi f_0 t)$)과 승산 되어진 후 가산기 230으로 출력된다. 상기 승산기 225로 입력되어진 기저대역 신호는 캐리어 신호 \sin 성분($\sin(2\pi f_0 t)$)과 승산 되어진 후 상기 가산기 230으로 출력되어진다. 상기 가산기 230은 상기 승산기 220과 상기 승산기 225로부터의 캐리어 신호가 승산된 신호를 가산하여 안테나(도면상에 도시하고 있지 않음)로 제공한다. 상기 도 2에서 볼 수 있듯이 프리앰블(Preamble)은 에러 보정을 위한 아무런 정보의 추가 없이 QPSK 변조(Modulation)만을 수행한 후에 바로 전송한다.

<18> 도 3은 단말기에서 상기와 같은 방법으로 송신기에서 전송한 프리앰블(Preamble)을 검출하는 프리앰블 수신기의 구조를 나타낸다. 상기 도 3을 설명함에 있어 RF부, IF부 및 필터에 대한 상세한 구성은 설명의 편의를 위하여 생략한다.

<19> 먼저, 도 3을 참조하여 수신기의 구조를 살펴보면, 수신 RF(Radio Frequency)신호 $r(t)$ 는 승산기 320과 승산기 325로 각각 입력되어진다. 상기 승산기 320으로 입력되어진 신호 $r(t)$ 는 캐리어 신호 \cos 성분($\cos(2\pi f_0 t)$)과 승산되어 I 성분(In-phase) 다운컨버전 신호(Down converted signal)가 된다. 상기 승산기 325로 입력되어진 신호 $r(t)$ 는 캐리어 신호 \sin 성분($\sin(2\pi f_0 t)$)과 승산되어 Q성분(Quadrature-phase) 다운컨버전 신호가 된다. 상기 승산기 320의 출력신호, 즉 I 성분 다운컨버전 신호는 제1기저대역필터 310으로 입력된다. 상기 제1기저대역필터 310은 상기 입력되어진 신호를 필터링한 후 출력신호를 정합필터 300에 I성분신호로써 출력한다. 상기 제2기저대역필터 315는 상기 입력되어진 신호를 필터링한 후 출력신호를 상기 정합필터 300에 Q성분신호로써 출력된다. 한편 프리앰블 발생기 330은 I 성분의 프리앰블 신호와 Q 성분의 프리앰블 신호를 생성하여, 상기 정합필터 300으로 출력한다. 상기 정합필터 300은 상기 입력되어진 상기 I 성분 및 상기 Q 성분 수신신호와 상기 프리앰블발생기 330으로부터 입력되어진 I 성분 및 Q 성분 프리앰블신호와의 상관도를 구한 후, 상관도 값을 출력한다. 상기와 같은 상관도 값은 판단기 340으로 입력된다. 상기 판단기 340은 상기 입력되어진 상관도 값을 수신기가 가지고 있는 고유의 절대 기준값(Threshold)과 비교하여 상관값이 미리 정한 상기 고유의 기준값(Threshold)

보다 크면 프리엠블을 포착했다는 신호를 출력하고, 상관값이 상기 미리 정한 기준값(Threshold)보다 작으면 프리엠블을 포착했다는 신호를 출력하게 된다.

<20> 상술한 바와 같이 종래의 수신기에서는 프리엠블(Preamble)을 검출하기 위하여 상관도 특성을 이용하게 된다. 이 때 프리엠블(Preamble)의 비주기적 자기 상관(A periodic Autocorrelation) 특성이 얼마나 좋은가에 따라 프리엠블 검출 성능이 결정된다. 따라서, 상기와 같은 수신동기를 목적으로 하는 프리엠블의 신호에 있어서 비주기적 자기 상관(A periodic Autocorrelation) 특성이 우수한 부호를 사용하는 것이 필요하다.

<21> BRAN 시스템에서 프리엠블의 종류로서는 상기 도 1에서 나타난 바와 같은 프레임의 시작을 나타내기 위한 프레임 프리엠블(Frame Preamble)과 간헐적 데이터의 전송의 시작을 나타내는 버스트 프리엠블(Burst Preamble)이 있다. 이 때, 상기 프레임 프리엠블 중 순방향 프레임 프리엠블(Down-link Frame Preamble)에 대해서는 최소한 신호의 길이가 32이어야 하고, 상기 버스트 프리엠블 중 순방향 버스트 프리엠블(Down-link Burst Preamble)에 대해서는 최소한 신호의 길이가 16이어야 한다. 또한, 상기 버스트 프리엠블 중 역방향 버스트 프리엠블(Up-link Burst Preamble)에 대해서는 최소한 신호의 길이가 32이어야 한다. 따라서, 하나의 시스템에서도 여러 가지 길이의 프리엠블 신호가 필요하게 되는데, 상기 여러 가지 길이의 프리엠블 신호를 생성하기 위해서는 공통으로 사용 가능한 생성기를 사용하는 것이 필요하다.

【발명이 이루고자 하는 기술적 과제】

- <22> 따라서, 본 발명의 목적은 송신 시스템의 프레임 프리앰블 시퀀스를 생성하는 방법 및 장치를 제공함에 있다.
- <23> 본 발명의 다른 목적은 송신 시스템의 동기를 알 수 있도록 하는 프리앰블 시퀀스의 생성 방법 및 장치를 제공함에 있다.
- <24> 본 발명의 또 다른 목적은 송신 시스템의 데이터 시작을 알 수 있도록 하는 버스트 프리앰블 시퀀스를 생성하는 방법 및 장치를 제공함에 있다.
- <25> 본 발명의 또 다른 목적은 프레임 프리앰블 시퀀스와 버스트 프리앰블 시퀀스를 동시에 생성할 수 있는 방법 및 장치를 제공함에 있다.
- <26> 본 발명의 또 다른 목적은 Aperiodic Autocorrelation 특성이 우수한 시퀀스의 생성 장치 및 방법을 제공함에 있다.
- <27> 본 발명의 또 다른 목적은 동기 확인용 시퀀스를 사용하는 송신장치 및 송신방법을 제공함에 있다.
- <28> 본 발명의 또 다른 목적은 동기 확인용 시퀀스를 사용하는 수신장치 및 수신방법을 제공함에 있다.
- <29> 전술한 바와 같은 목적을 달성하기 위한 본 발명의 제1견지에 있어 소정 길이를 가지는 시퀀스를 +1과 -1이 반복되는 시퀀스로 승산하는 승산기와, 상기 소정 길이를 가지는 시퀀스와 상기 승산기로부터의 시퀀스를 입력으로 하고, 상기 두 시퀀스를 시간적으로 다중화하는 다중화기를 구비하여, 상기 다중화기로부터 결정된 길이의 상기 비주기적 순환 다중화 코드가 생성될 때까지 상기 다중화

기의 출력을 상기 승산기와 상기 다중화기로 재 입력하는 비주기적 순환 다중화 코드 생성장치를 제안하였다.

<30> 전술한 바와 같은 목적을 달성하기 위한 본 발명의 제2견지에 있어 소정 길이를 가지는 시퀀스와 상기 소정 길이를 가지는 시퀀스를 +1과 -1이 반복되는 시퀀스로 승산한 시퀀스를 입력으로 하고, 상기 두 시퀀스를 시간적으로 다중화하는 과정과, 상기 다중화를 통해 결정된 길이의 시퀀스가 생성될 시 상기 생성된 시퀀스와 상기 생성된 시퀀스를 상기 +1과 -1이 반복되는 시퀀스로 승산한 시퀀스를 상기 비주기적 순환 다중화 코드로 출력하는 과정을 포함하는 비주기적 순환 다중화 코드 생성방법을 제안하였다.

【발명의 구성 및 작용】

<31> 이하 본 발명의 실시 예를 첨부된 도면을 참조하여 상세히 설명한다. 이하 상세히 설명되어질 본 발명의 실시 예에 의해 제안되는 프리앰블 시퀀스는 현재 통신 표준화가 진행 중에 있는 광대역무선접속네트워크(Broadband Radio Access Network; BRAN)에 적용할 수 있음을 미리 밝혀둔다. 상기 본 발명의 실시 예를 통해 새로이 제안되는 프리앰블 시퀀스는 이하 비주기적 순환 다중화 코드(AMR 코드: Aperiodic recursive Multiplex Code)라 명명한다. 한편, 후술되어질 본 발명의 실시 예에서는 시스템 동기, 프레임 동기, 슬롯동기 또는 데이터 유무를 확인하는데 사용하는 AMR 코드의 발생장치 및 방법에 대해 상세히 설명할 것이다. 그 일 예로서 본 발명은 BRAN시스템에서 사용하는 프레임 프리앰블 또는 버스트 프리앰블을 대상으로 하여 설명한다. 그러나 본 발명에서 제안하는 프리앰블용 시퀀스, 즉 AMR 코드는 비주기 특성이 우수한 시퀀스의 사용이 요구되는 어떤

한 시스템에서도 사용될 수 있으며, 권리범위는 본 발명의 청구항에 의하여 해석되어야 한다.

<32> BRAN시스템에서 사용하는 프레임 프리앰블 또는 버스트 프리앰블은 2의 멍승의 길이를 가지는 우수한 상관도 특성을 가지는 프리앰블 신호의 사용이 요구된다. 왜냐하면 프리앰블 신호의 포착 성능이 나쁘면 동기를 알 수 없어서 통신을 할 수 없으며, 데이터 유무를 나타내는 버스트 프리앰블이 포착되지 못하면 데이터를 수신하지 못하기 때문이다. 이러한 프리앰블은 계속적으로 전송되어지는 신호가 아니라, 버스트 하계(간헐적) 전송되어진다.

<33> 도 5는 버스트 하계 프리앰블을 전송하는 송신기의 신호에 의해 상관도를 측정하는 일 예를 보여주고 있는 도면이다. 다시 말해, 상기 도 5는 버스트 하계 프리앰블을 전송하는 송신기의 신호와 이러한 프리앰블 신호를 수신하는 수신기가 정확한 동기가 이루어지지 않은 상태에서 상관도를 측정하는 것을 보여주는 관계를 보여주는 도면이다.

<34> 상기 도 5를 참조하여 설명하면, 송신기에서 프리앰블 신호 501을 간헐적으로 전송한다. 이 때, 수신기는 상기 송신기가 전송하는 상기의 프리앰블의 시작점을 모르기 때문에 어떤 시간으로부터 시작하여 프리앰블 신호의 길이에 해당하는 $\Delta_{\text{Integration}}$ 시간 동안 수신신호와 소정 프리앰블 신호와의 상관도를 계속해서 계산할 것이다. 상기 소정 프리앰블 신호는 수신기 자신이 상기 기지국과의 약속에 의해 미리 알고있는 신호이다.

<35> 상기 도 5에서는 실제로 전송되어지는 프리앰블 신호의 실제 전송시간구간과 수신기가 상관도를 계산하는 구간이 일치하지 않았을 때 일어나는 상황을 도

시한 다. 상기 구간들의 시간차이가 Δ_{Offset} 만큼 차이가 날 경우, 수신기에서 비교하는 프리앰블 신호와의 상관도를 계산하는 구간인 $\Delta_{\text{Integration}}$ 시간중에서 Δ_{real} 시간동안만 송신기에서 전송하는 프리앰블 신호와 수신기에서 발생한 프리앰블 신호와 비교되어진다. 나머지 Δ_{Offset} 과 그와 같은 길이의 시간인 $\Delta_{\text{no signal}}$ 구간동안은 송신기에서 전송하는 프리앰블 신호가 없기 때문에, 송신기에서 전송하는 프리앰블 신호와 수신기에서 비교하는 프리앰블 신호와 비교되어지지 않는다. 따라서, 실제 상관도 값은, $\Delta_{\text{Integration}}$ 시간중에서 Δ_{real} 시간동안의 상관값이다.

<36> 이를 수식으로 표현하면 하기 <수학식 1> 과 같다.

<37> [수학식 1]

<38>
$$Cor = \sum_{\Delta_{\text{real}}} r(t) \cdot s^*(t)$$

<39> 단, 상기 <수학식 1>에서 Cor 는 상관값 $r(t)$ 는 수신신호, $s(t)$ 는 수신기에서 발생한 프리앰블 신호, $s^*(t)$ 는 $s(t)$ 의 공액 복소수를 각각 나타낸다.

<40> 구체적인 예를 들어, 실제 전송시간구간과 수신기가 상관도를 계산하는 구간의 차이 Δ_{Offset} 이 τ 만큼 나면, 상기 <수학식 1>은 하기 <수학식 2>와 같이 표현되어진다.

<41> [수학식 2]

<42>
$$Cor = \sum_{i=0}^{N-r} s(t) \cdot s^*(t+\tau)$$

<43> 단, 상기 <수학식 2>에서 N 은 프리앰블의 길이($\Delta_{\text{Integration}}$ 와 동일)를 나타낸다.

<44> 일반적으로 시퀀스 $s(t)$ 수열에 있어서, 상기와 같은 상관도 값을 계산할 때, 상기 수열을 비주기적 시퀀스(Aperiodic Sequence)라 칭한다. 이때, 상기 프리앰블 신호 사용되는 비주기적 시퀀스(Aperiodic Sequence)는, 상기와 같은 ϵ 만큼의 시간 오프셋을 가지는 경우에 상관도의 값이 낮은 시퀀스가 우수하다고 할 수 있다. 즉, 동기가 일치하지 않는 경우에는 상관도 값이 낮고 동기가 일치하는 경우에 상관도 값이 큰 시퀀스가 우수한 시퀀스라고 할 수 있다. 그러나, 실제로 우수한 성능을 가지는 비주기적 시퀀스(Aperiodic Sequence)는 실제로 잘 알려지지 않고 있다. 따라서, 본 발명에서는 상기 비주기적 시퀀스(Aperiodic Sequence) 관점에서 우수한 부호를 생성하는 방법을 제공한다. 본 발명에서 제공하는 프리앰블 신호인 비주기적 시퀀스(Aperiodic Sequence)는 길이 N 이 2^n 을 가질 때, 우수한 비주기적 시퀀스(Aperiodic Sequence)할 수 있다.

<45> 먼저, 본 발명에서 제공할 비주기적 시퀀스(Aperiodic Sequence)로서 우수한 성질을 가지는 수열을 생성하는 방법을 설명하기 위해서, 다음과 같은 몇 가지 비주기적 시퀀스(Aperiodic Sequence)의 성질을 살펴본다.

<46> 일반적으로 길이 N 인 비주기적 시퀀스(Aperiodic Sequence) $\{\alpha_i\}$ 에 대한 상관도 C_τ 는 하기<수학식3>과 같다.

<47> [수학식 3]

<48>

$$C_{\tau} = \sum_{i=0}^{N-\tau} a(i) \cdot a^*(i+\tau)$$

<49>

이때, 길이 N인 비주기적 시퀀스(Aperiodic Sequence) $\{(-1)^i \cdot a\}_i$ 에 대한 상관도 C'_{τ} 는 하기 <수학식 4>과 같다.

<50> [수학식 4]

<51>

$$\begin{aligned} C'_{\tau} &= \sum_{i=0}^{N-\tau} (-1)^i a(i) \cdot (-1)^{i+\tau} a^*(i+\tau) \\ &= \sum_{i=0}^{N-\tau} (-1)^{2i+\tau} a(i) \cdot a^*(i+\tau) = \sum_{i=0}^{N-\tau} (-1)^{\tau} a(i) \cdot a^*(i+\tau) \\ &= (-1)^{\tau} \sum_{i=0}^{N-\tau} a(i) \cdot a^*(i+\tau) = (-1)^{\tau} \cdot C_{\tau} \end{aligned}$$

<52>

[이제부터]이하 상기 길이 N인 비주기적 시퀀스(Aperiodic Sequence) $(-1)^i \cdot a_i$ 를 b_i 라 칭하기로 한다. 이 때, 길이 N인 복소 비주기적 시퀀스(Aperiodic Sequence) $\{a_i + jb_i\}_i$ 에 대한 상관도는 하기 <수학식5>와 같다.

<53> [수학식 5]

<54>

$$\begin{aligned}
Cor_{\tau} &= \sum_{i=0}^{N-\tau} (a(i) + jb(i)) \cdot (a(i+\tau) + jb(i+\tau))^* \\
&= \sum_{i=0}^{N-\tau} (a(i) + j(-1)^i a(i)) \cdot (a(i+\tau) + j(-1)^{i+\tau} a(i+\tau))^* \\
&= \sum_{i=0}^{N-\tau} (a(i)a(i+\tau) + (-1)^{\tau} a(i)a(i+\tau)) \\
&\quad + j \sum_{i=0}^{N-\tau} (a(i)a(i+\tau) - (-1)^{\tau} a(i)a(i+\tau))(-1)^i
\end{aligned}$$

<55> 한편, 상기 <수학식 5>에서 보여지고 있는 바를 하드웨어로 표현하면 도 6 과 같다.

<56> 상기 도 6을 참조하여 설명하면, 먼저 길이 N(예; 16)인 임의의 시퀀스 $a(i)$, ($i=1,16$)가 입력되어지면, I 성분으로는 $a(i)$ 가 그대로 출력된다. 한편, 상기 $a(i)$ 는 승산기 610에 입력되며, 이와 동시에 길이 N(예; 16)인 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1이 상기 승산기 610으로 입력된다. 상기 시퀀스 a_i 와 길이 N(예; 16)인 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1은 상기 승산기 610에 의해 각각 승산(element by element multiplying)되어져 Q성분으로 출력된다.

<57> 상기의 <수학식 4>에서는 실수부분과 허수부분의 값을 생각할 수 있다. 이때, 상관도 값이 작기 위해서는 실수부분과 허수부분이 최대한 작은 값을 가져야 한다. 우선 상기 <수학식 4>를 보면, τ 가 짝수인 경우, 허수부분은 0이 되지만 실수부분은 0이 되지 않는다. 반면, τ 가 홀수인 경우는 허수부분은 0이 되지 않고 실수부분은 0이 된다. 실제로, 순환적 시퀀스(Aperiodic Sequence)의 경우

, 실수부분과 허수부분이 모두 상관도 값이 0이 되어질 수는 없다. 따라서, 실수 부분에 대해서는 최대한 작은 값이 되어지기 위해서 하기와 같은 실수부분에 관한 설명을 하기로 한다.

<58> 이때, 상기 <수학식5>에서 실수 부분을 I라 칭하면, 하기 <수학식 6>과 같다.

<59> [수학식 6]

$$\begin{aligned} \text{<60>} \quad I &= \sum_{i=0}^{N-\tau} a(i)a(i+\tau) + (-1)^\tau \sum_{i=0}^{N-\tau} a(i)a(i+\tau) \\ &= C_\tau + (-1)^\tau C_\tau \end{aligned}$$

<61> 따라서, 상기 <수학식 6>을 보면, 실제 전송시간구간과 수신기가 상관도를 계산하는 구간의 차이 Δ_{Offset} 값인 τ 가 홀수인 경우는 I부분은 0이 되어진다. 또한, τ 가 짝수인 경우는 $I = 2 \sum_{i=0}^{N-\tau} a(i)a(i+\tau)$ 가 되어진다. 따라서, τ 가 짝수인 경우 I를 0으로 하기 위해서는 다음과 같은 과정을 반복하게 된다. 즉, τ 가 짝수인 경우 $I = 2 \sum_{i=0}^{N-\tau} a(i)a(i+\tau)$ 이 0이라는 것은 상기 실수값을 가지는 길이 N인 비주기적 시퀀스(Aperiodic Sequence)가 짝수번 오프-셋(offset)을 가질 때의 상관도가 0임을 뜻한다. 따라서, 이를 위해서는 다음과 같은 성질을 이용할 수 있다.

<62> 어떤 실수값을 가지는 길이 N/2인 비주기적 시퀀스(Aperiodic Sequence) d(i)에 대해서, 상기 a(i)를 다음<수학식7>과 같이 정의하자.

<63> [수학식 7]

<64>

$$a(i) = \begin{cases} d(k), & i=2k \\ (-1)^k d(k), & i=2k+1 \end{cases} \quad k=0 \sim (N/2)-1$$

<65> 이 때, 짝수 $\tau = 2\tau'$ 에 대해서, 상기의 실수부분 값을 구하여 보면, 하기 <수학식 8>과 같이 된다.

<66> [수학식 8]

<67>

$$\begin{aligned} I &= 2 \sum_{i=0}^{N-\tau} a(i)a(i+\tau) = 2 \sum_{i=0}^{N-2\tau'} a(i)a(i+2\tau') \\ &= 2 \sum_{k=0}^{(N-\tau)/2} a(2k)a(2k+2\tau') + 2 \sum_{k=0}^{(N-\tau)/2} a(2k+1)a(2k+1+2\tau') \\ &= 2 \sum_{k=0}^{(N-\tau)/2} d(k)d(k+\tau') + 2 \sum_{k=0}^{(N-\tau)/2} (-1)^k d(k)(-1)^{k+\tau'} d(k+\tau') \end{aligned}$$

<68>

$$= 2 \sum_{k=0}^{(N-\tau)/2} d(k)d(k+\tau') + 2(-1)^{\tau'} \sum_{k=0}^{(N-\tau)/2} d(k)d(k+\tau')$$

<69> 따라서, 상기 <수학식 8>과 같은 식에 의하면 $\tau' = \tau/2$ 가 짝수이면, 상기 I값은 0이 되어진다. 이 때, 상기 <수학식 8>에서 보여지고 있는 바를 하드웨어로 표현하면 도 7과 같다.

<70>

상기 도 7을 참조하여 설명하면, 먼저 길이 8인 시퀀스 d_1 가 입력되어지면 상기 d_1 는 멀티플렉서 720으로 입력된다. 한편, 상기 d_1 는 승산기 710으로도 입력되며, 이와 동시에 길이 8인, +1, -1, +1, -1, +1, -1, +1, -1 또한 승산기 710으로 입력된다. 상기 길이 8인 d_1 와 상기 길이 8인, +1, -1, +1, -1, +1, -1, +1, -1은 상기 승산기 710에 의해 각각 승산(element by element multiplying)되어져 멀티플렉서 720으로 입력된다. 그러면 상기, 멀티플렉서 720은 상기 입력신호 d_1 와 상기

승산기 710으로부터 입력되어진 신호를 시간적으로 번갈아 출력한다. 즉, 상기 <수학식 7>에서 정의하는 바와 같이 출력한다.

<71> 따라서, 상기 $d(i)$ 에 대해서도 다시 상기와 같은 과정을 반복하게 되면, 모든 짝수 τ 에 대해서 1값은 0을 가지게 되어진다. 따라서, 상기와 같은 방법으로 길이 16인 복소 ARM 코드를 구하기 위한 생성기의 구조는 도 4와 같다.

<72> 도 4는 본 발명의 일 실시 예에 따른 길이 16인 복소 ARM 코드를 구하기 위한 생성기의 구조이다. 먼저, 이때, 도 6과 7에서 승산기 610과 710에는 각각 +1과 -1이 번갈아 입력되어지는 신호인 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1과 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1이 각각 입력되어졌는데, +1과 -1의 순서가 바뀌어도 상기 수학식들에서 나타난 성질들은 그대로 유지가 되어진다. 도 4를 참조하여 설명하면, 먼저, 2비트의 모든 가능한 실수의 조합(+1, +1, 또는 +1, -1, 또는 -1, +1, 또는 -1, -1)중 하나가[이] 입력신호로 입력되어지면 그대로 입력신호가 멀티플렉서1 400으로 입력되어지고, 이와 동시에 입력신호가 승산기 410에 입력되어지면, 이와 동시에, 신호발생기 420은 +1, -1 또는 -1, +1의 신호를 출력하여 상기 발생되어진 신호가 승산기 410에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서1 400으로 또 다른 입력신호로 입력되어진다. 그러면 상기, 멀티플렉서1 400은

상기 입력신호와 승산기 410으로부터 입력되어진 신호들을 시간적으로 번갈아 출력하여 4비트의 수열을 출력한다. 그러면, 상기 멀티플렉서1 400으로부터 출력되어진 4비트의 수열은 그대로 멀티플렉서2 402로 입력되어지고, 이와 동시에 상기 신호가 승산기 412에 입력되어지면, 이와 동시에, 신호발생기 422은 $+1, -1, +1, -1$ 또는 $-1, +1, -1, +1$ 의 신호를 출력하여 상기 발생되어진 신호가 승산기 412에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서2 402으로 입력되어진다. 그러면 상기, 멀티플렉서2 402는 상기 입력신호와 승산기 412으로부터 입력되어진 신호를 시간적으로 번갈아 출력하여 8비트의 수열을 출력한다. 그러면, 상기 멀티플렉서2 402로부터 출력되어진 8비트의 수열은 그대로 멀티플렉서3 404로 입력되어지고, 이와 동시에 상기 신호가 승산기 414에 입력되어지면, 이와 동시에, 신호발생기 424은 $+1, -1, +1, -1, +1, -1, +1, -1$ 또는 $-1, +1, -1, +1, -1, +1, -1, +1$ 의 신호를 출력하여 상기 발생되어진 신호가 승산기 414에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서3 404로 입력되어진다. 그러면 상기, 멀티플렉서3 404는 상기 입력신호와 승산기 414로부터 입력되어진 신호를 시간적으로 번갈아 출력하여 16비트의 수열을 출력한다. 그러면, 상기 멀티플렉서3 404로부터 출력되어진 16비트의 수열은 I성분으로 그대로 출력되어지고, 이와 동시에 상기 신호가 승산기 414에 입력되어지면, 이와 동시에, 신호발생기 426은 $+1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1$ 또는 $-1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1$ 의 신호를 출력하여 상기 발생되어진 신호가 승산기 416에 입력되어져, 상기 입력신호와

승산되어져 Q성분으로 출력되어진다. 따라서, 길이 16인 복소 ARM 코드를 생성한다.

<73> 상기의 과정에서 초기 2비트의 입력신호를 +1,+1로 하고,

<74> 신호 발생기 420에서는 +1,-1의 신호를, 신호 발생기 422에서는 +1,-1,+1,-1의 신호를, 신호 발생기 424에서는 +1,-1,+1,-1,+1,-1,+1,-1의 신호를, 신호 발생기 426에서는 +1,-1,+1,-1,+1,-1,+1,-1,+1,-1,+1,-1,+1,-1의 신호를 발생하도록 하면, 하기 <표1>과 같은 길이 16인 복소 ARM 코드를 생성할 수 있다.

<75> [표 1]

<76> $1+j, 1-j, 1+j, -1+j, 1+j, 1-j, -1-j, 1-j,$

<77> $1+j, 1-j, 1+j, -1+j, -1-j, -1+j, 1+j, -1+j$

<78> 또한, 상기와 같은 방법으로 길이 32인 복소 ARM 코드를 구할 수 있고, 생성기의 구조는 도 8과 같다.

<79> 도 8은 길이 32인 복소 ARM 코드를 구하기 위한 생성기의 구조이다. 도 8을 참조하여 설명하면, 먼저, 2비트의 모든 가능한 실수의 조합(+1,+1,또는 +1,-1, 또는 -1,+1, 또는 -1,-1)중 하나가 입력신호로 입력되어지면 그대로 입력신호가 멀티플렉서1 400으로 입력되어지고, 이와 동시에 입력신호가 승산기 410에 입력되어지면, 이와 동시에, 신호발생기 420은 +1,-1 또는 -1,+1의 신호를 출력하여 상기 발생되어진 신호가 승산기 410에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서1 400으로 또 다른 입력신호로 입력되어진다. 그러면 상기, 멀티플렉

서1 400은 상기 입력신호와 승산기 410으로부터 입력되어진 신호들을 시간적으로 번갈아 출력하여 4비트의 수열을 출력한다. 그러면, 상기 멀티플렉서1 400으로부터 출력되어진 4비트의 수열은 그대로 멀티플렉서2 402로 입력되어지고, 이와 동시에 상기 신호가 승산기 412에 입력되어지면, 이와 동시에, 신호발생기 422은 +1, -1, +1, -1 또는 -1, +1, -1, +1의 신호를 출력하여 상기 발생되어진 신호가 승산기 412에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서2 402로 입력되어진다. 그러면 상기, 멀티플렉서2 402는 상기 입력신호와 승산기 412로부터 입력되어진 신호를 시간적으로 번갈아 출력하여 8비트의 수열을 출력한다. 그러면, 상기 멀티플렉서2 402로부터 출력되어진 8비트의 수열은 그대로 멀티플렉서3 404로 입력되어지고, 이와 동시에 상기 신호가 승산기 414에 입력되어지면, 이와 동시에, 신호발생기 424은 +1, -1, +1, -1, +1, -1, +1, -1 또는 -1, +1, -1, +1, -1, +1, -1, +1의 신호를 출력하여 상기 발생되어진 신호가 승산기 414에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서3 404로 입력되어진다. 그러면 상기, 멀티플렉서3 404는 상기 입력신호와 승산기 414로부터 입력되어진 신호를 시간적으로 번갈아 출력하여 16비트의 수열을 출력한다. 그러면, 상기 멀티플렉서2 402로부터 출력되어진 16비트의 수열은 그대로 멀티플렉서4 406로 입력되어지고, 이와 동시에 상기 신호가 승산기 416에 입력되어지면, 이와 동시에, 신호발생기 426은 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1 또는 -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1의 신호를 출력하여 상기 발생되어진 신호가 승산기 416에 입력되어져, 상기 입력신호와 승산되어져 멀티플렉서4 406로 입력되어진다. 그러면 상기, 멀티플렉서4 406은 상기

<80> 상기의 과정에서 초기 2비트의 입력신호를 +1,+1로 하고, 신호 발생기 820에서는 +1,-1의 신호를, 신호 발생기 422에서는 +1,-1,+1,-1의 신호를, 신호 발생기 424에서는 +1,-1,+1,-1,+1,-1,+1,-1의 신호를, 신호 발생기 426에서는 +1,-1,+1,-1,+1,-1,+1,-1,+1,-1,+1,-1,+1,-1,+1,-1의 신호를, 신호 발생기 428에서는 +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1, +1, -1의 신호를 발생하도록 하면, 하기 <표2>과 같은 길이 32인 복소 ARM 코드를 생성할 수 있다.

<83> 1+j, 1-j, 1+j, -1+j, -1-j, -1+j, 1+j, -1+j

<84> $1+j, 1-j, 1+j, -1+j, 1+j, 1-j, -1-j, 1-j$

<85> $-1-j, -1+j, -1-j, 1-j, 1+j, 1-j, -1-j, 1-j$

<86> 상기와 같은 방법으로 2의 멍승 길이에 대한 ARM 코드를 생성함으로써 비주기적 특성이 우수한 64, 128, 256...길이의 시퀀스를 확장하여 생성할 수 있다. 또한 상기 설명에서 기지국(송신기)이 동기 코드를 단말(수신기)에게 송신하는 것을 예로서 설명하였으나 본 발명의 방법으로 생성한 ARM 코드는 단말(송신기)이 기지국(수신기)으로 전송하는 프리앰블 신호로도 사용할 수 있음은 자명하다. 따라서 본 발명의 종래 기술에서 설명한 도 2 송신기(기지국 OR 단말)의 프리앰블 발생기가 본 발명의 일 실시 예로 제시한 도 4 또는 도 8의 구성을 포함하면 상기에서 설명한 비주기적 특성을 가지는 시퀀스를 이용하게 되는 것이다. 또한 도 3의 수신기(단말 또는 기지국)의 프리앰블 발생기가 본 발명의 일 실시 예로 제시한 도 4 또는 도 8의 구성을 포함하면 상기에서 설명한 비주기적 특성을 가지는 시퀀스를 이용하게 되는 것이다.

<87> 상기 도 4와 상기 도 8에서는 다단의 다중화기들을 직렬 형태로 나열하고 있는 구성을 보여주고 있다. 하지만, 또 다른 구성으로서 하나의 다중화기를 구비하고, 상기 다중화기의 출력을 입력으로 피드-백 하는 구성을 제안할 수 있다.

<88> 전술한 본 발명의 실시 예에서는 도 4와 도 8에서 보여지고 있는 바와 같이 하드웨어를 이용한 AMR 코드 생성장치 및 방법을 제안하고 있다. 하지만, 또 다른 실시 예로서 본 발명에서 제안하고 있는 AMR 코드를 메모리에 저장하고, 요구에 의해 상기 메모리로부터 해당 AMR 코드를 독출하여 사용할 수 있다. 이 경우에는 별도의 하드웨어 구성이 요구되지 않으며, 본 발명에서 제안하고 있는 AMR

코드를 저장하는 메모리와 상기 메모리로부터 요구되는 AMR 코드를 독출하는 제어수단만을 구비함으로서 구현이 가능하다.

【발명의 효과】

<89> 본 발명에서 제공한 비주기적 순환 다중화 코드 생성장치 및 방법은 간단한 하드웨어 구조를 가지고 임의의 2의 멍승 길이를 가지는 우수한 성능을 가지는 ARM 코드를 생성할 수 있다. 따라서, 길이가 여러 가지 2의 멍승 길이를 가진 프리앰블이 필요할 때, 간단하게 생성 가능하다. 동기 시퀀스의 특성이 우수한 것을 사용함으로써 동기 포착 확율을 높일 수 있으므로 시스템 전체의 성능을 높일 수 있다.

【특허청구범위】**【청구항 1】**

소정 길이를 가지는 시퀀스를 입력으로 하여 비주기적 순환 다중화 코드를 생성하는 방법에 있어서,

상기 소정 길이를 가지는 시퀀스와 상기 소정 길이를 가지는 시퀀스를 +1과 -1이 반복되는 시퀀스로 승산한 시퀀스를 입력으로 하고, 상기 두 시퀀스를 시간적으로 다중화하는 과정과,

상기 다중화를 통해 결정된 길이의 시퀀스가 생성될 시 상기 생성된 시퀀스와 상기 생성된 시퀀스를 상기 +1과 -1이 반복되는 시퀀스로 승산한 시퀀스를 상기 비주기적 순환 다중화 코드로 출력하는 과정을 포함함을 특징으로 하는 상기 방법.

【청구항 2】

소정 길이를 가지는 시퀀스를 입력으로 하여 비주기적 순환 다중화 코드를 생성하는 장치에 있어서,

상기 소정 길이를 가지는 시퀀스를 +1과 -1이 반복되는 시퀀스로 승산하는 승산기와,

상기 소정 길이를 가지는 시퀀스와 상기 승산기로부터의 시퀀스를 입력으로 하고, 상기 두 시퀀스를 시간적으로 다중화하는 다중화기를 구비하고,

상기 다중화기로부터 결정된 길이의 상기 비주기적 순환 다중화 코드가 생성될 때까지 상기 다중화기의 출력을 상기 송산기와 상기 다중화기로 재 입력함을 특징으로 하는 상기 장치.

【청구항 3】

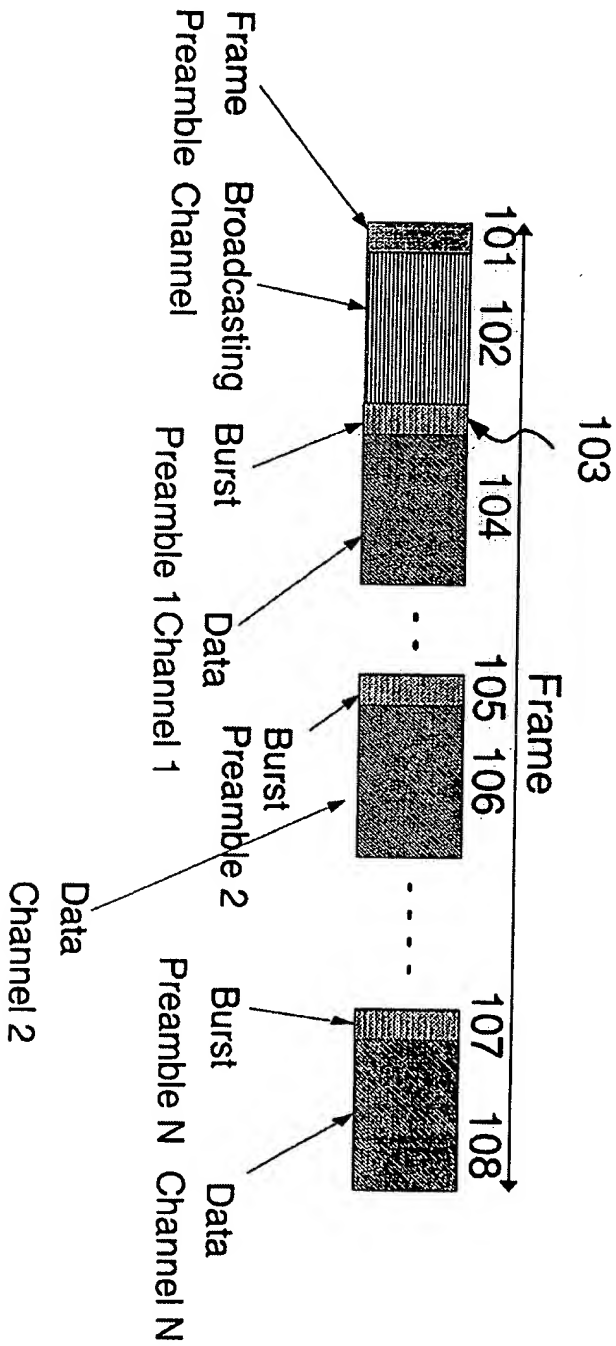
복소 비주기적 순환 e중화 코드를 발생하는 프리엠블 신호 발생기와,

상기 복소 비주기적 순환 다중화 코드를 필터링하여 아날로그 신호로 변환하는 기저대역 필터와,

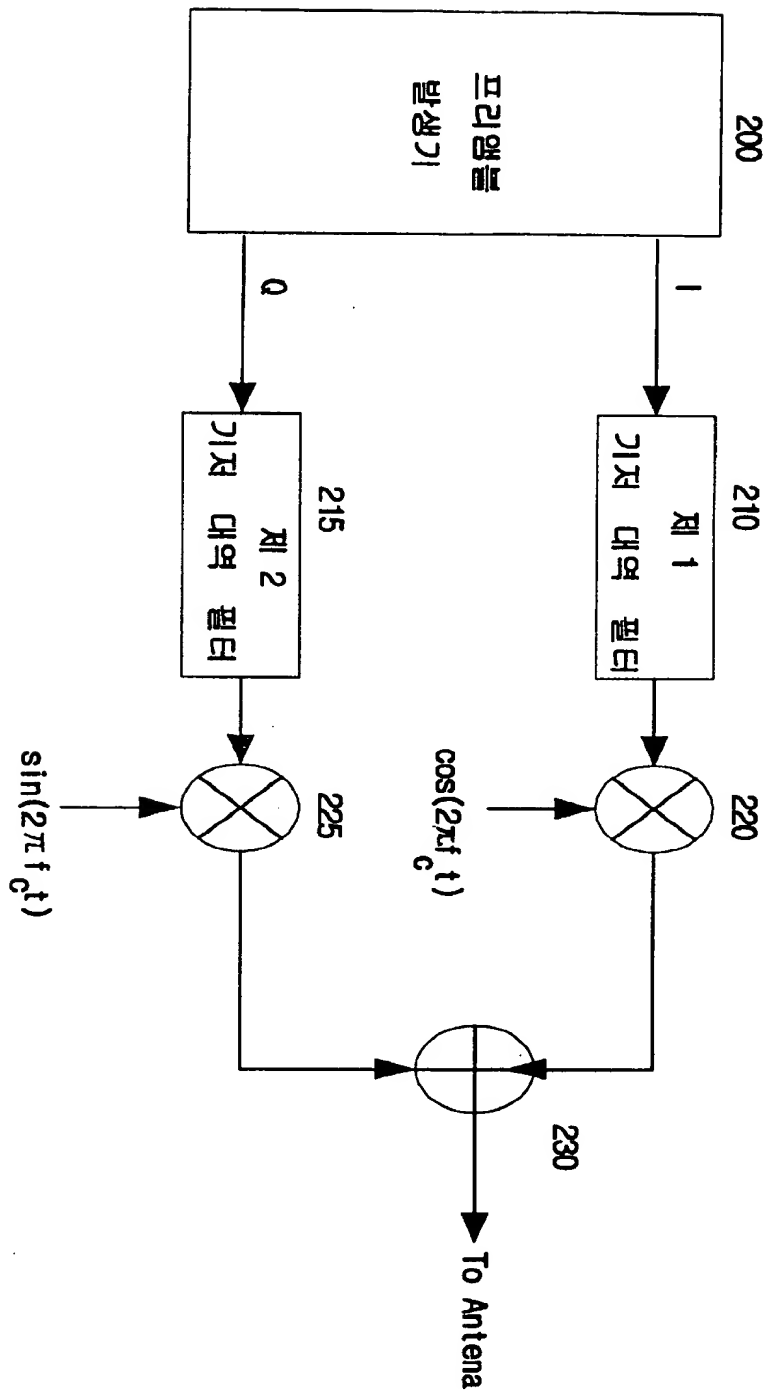
상기 아날로그 신호를 무선 주파수 신호로 변환하는 무선 주파수부를 포함함을 특징으로 하는 프리엠블 신호 전송기.

【도면】

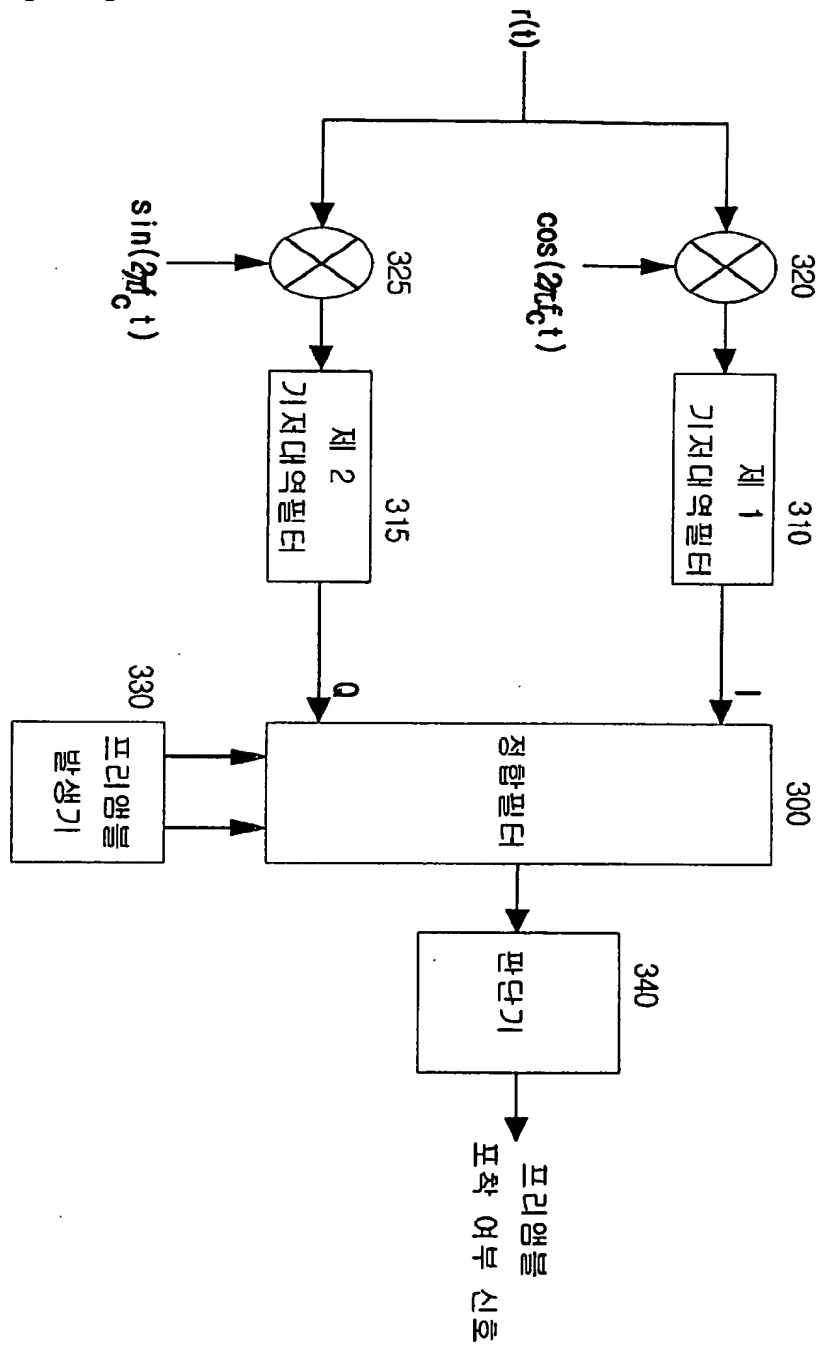
【도 1】



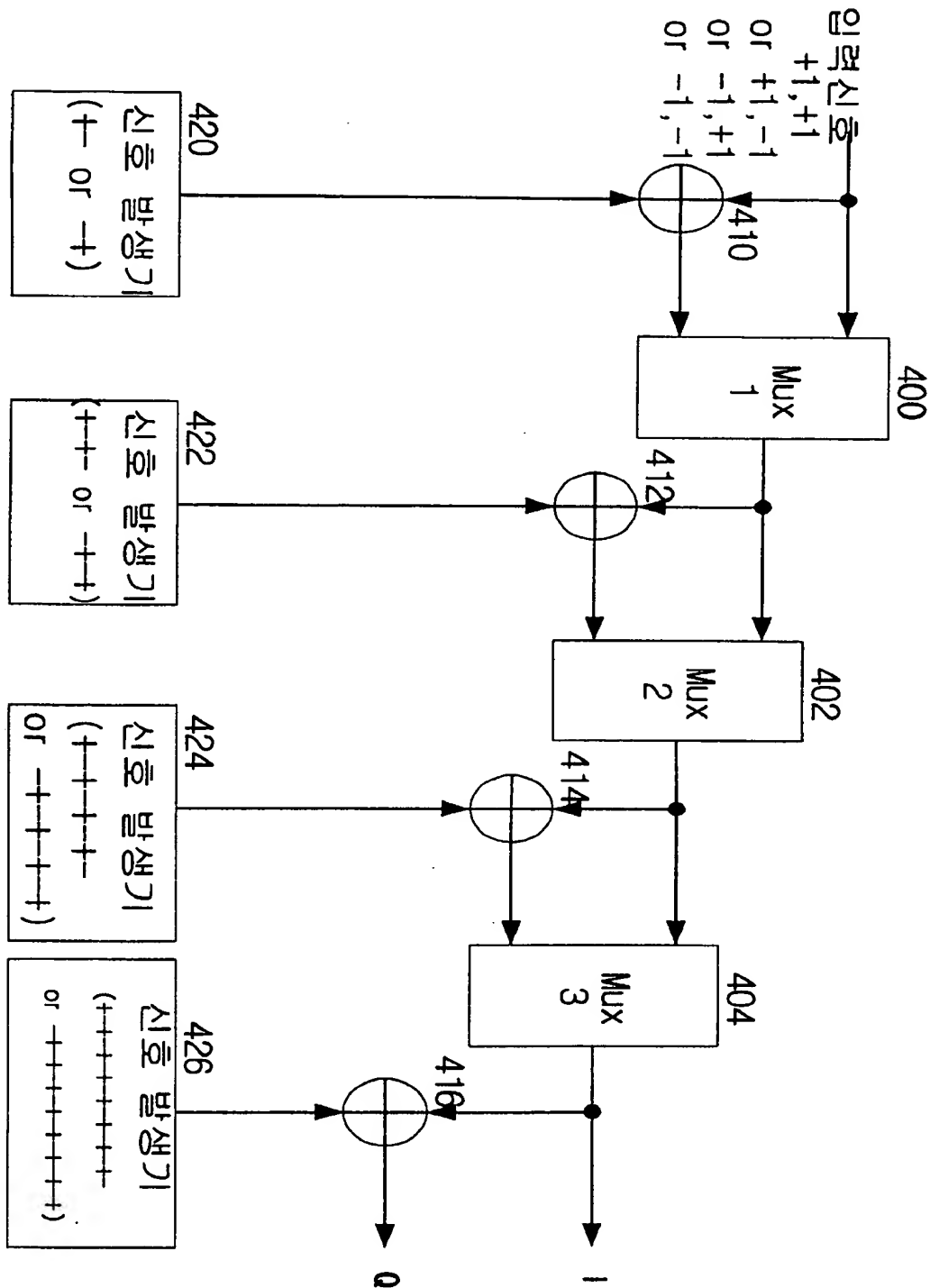
【도 2】



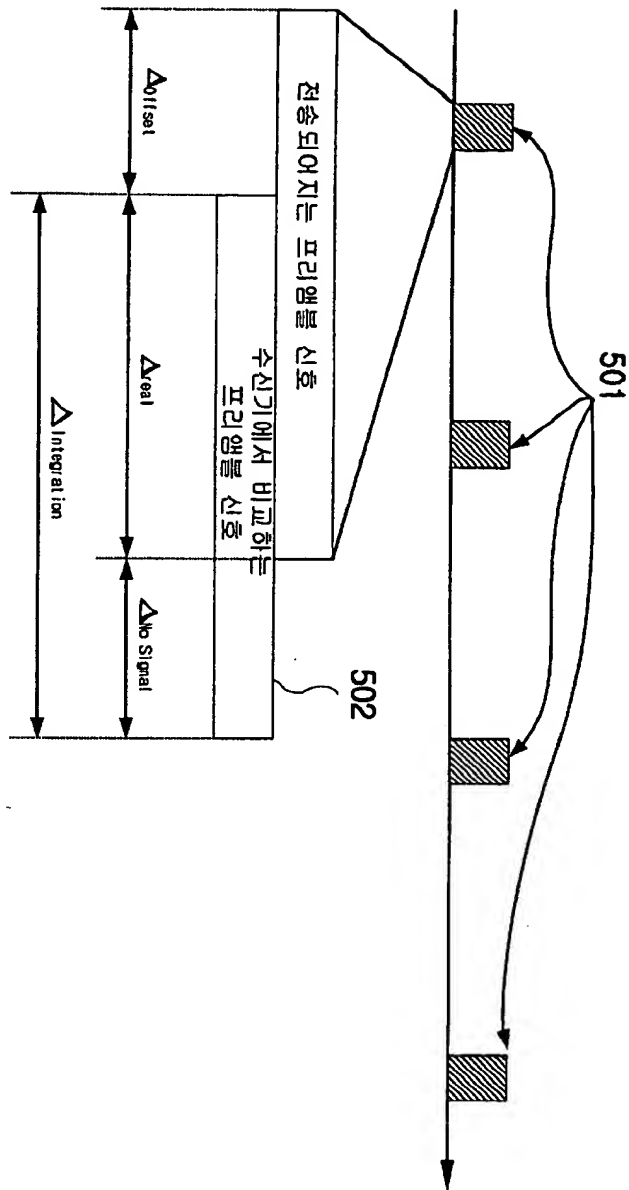
【도 3】



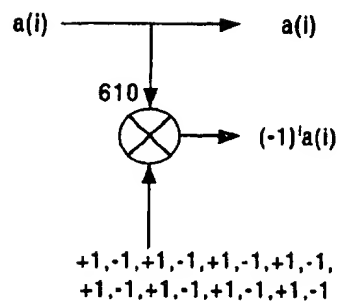
【도 4】



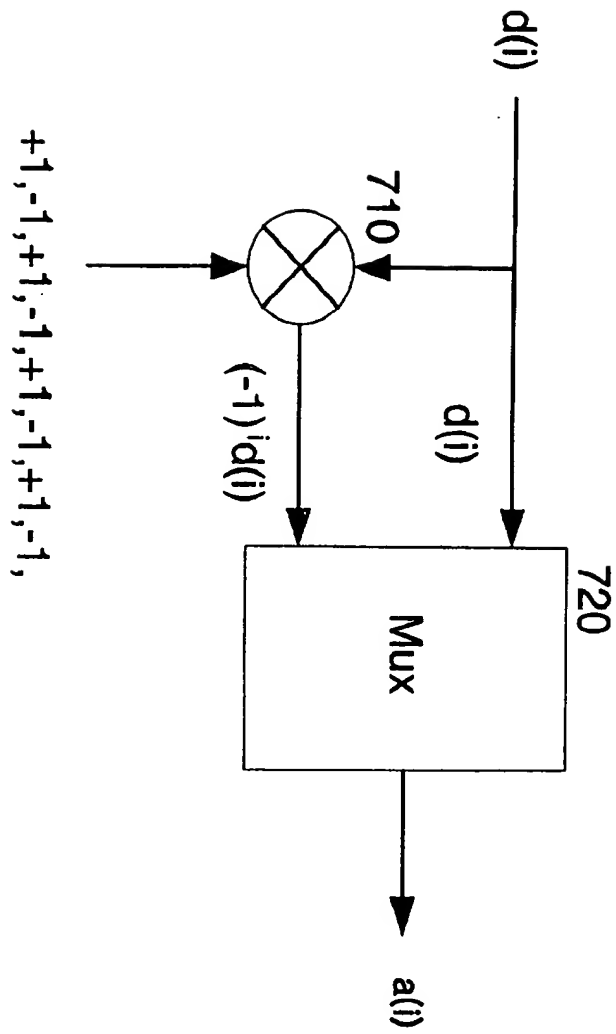
【도 5】



【도 6】



【도 7】



【도 8】

